

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07078885 A**(43) Date of publication of application: **20.03.95**

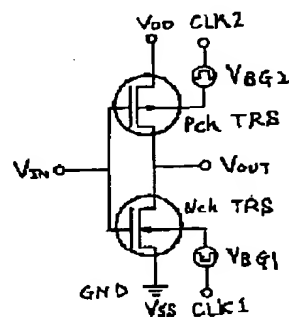
(51) Int. Cl.

H01L 21/8238**H01L 27/092****H03K 19/0185**(21) Application number: **05222498**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **07.09.93**(72) Inventor: **IWAMATSU SEIICHI****(54) C-MOS LEVEL SHIFTER****(57) Abstract:**

PURPOSE: To provide a C-MOS level shifter circuit of a constitution, wherein a level shift can be concisely performed, a reduction in an integration degree is also low and a power consumption is not significantly increased, and the structure of the C-MOS level shifter circuit.

CONSTITUTION: A C-MOS level shifter circuit is constituted into a structure, wherein a back gate voltage is partially applied to an N-type well and a P-type well of a C-MOS integrated circuit in a DC voltage or a pulse voltage, the N-type well and the P-type well of the C-MOS integrated circuit are formed in such a way that they are separated from a substrate and the like. A negative back gate voltage VBG_1 and a positive back gate voltage VBG_2 are respectively applied to the P-type well and the N-type well by a clock voltage CLK1 and a clock voltage CLK2 or a DC voltage is applied to the P-type and N-type wells, whereby the threshold voltages of an N-channel MOSFET and a P-channel MOSFET of a C-MOS inverter of this C-MOS integrated circuit can be increased in the positive or negative direction and one part of an operating voltage in the C-MOS integrated circuit can be increased.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-78885

(43)公開日 平成7年(1995)3月20日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8238				
27/092				
H 0 3 K 19/0185				
		9170-4M	H 0 1 L 27/ 08	3 2 1 D
		8321-5J	H 0 3 K 19/ 00	1 0 1 D
			審査請求 未請求 請求項の数2	OL (全 4 頁)

(21)出願番号 特願平5-222498

(22)出願日 平成5年(1993)9月7日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 岩松 誠一

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

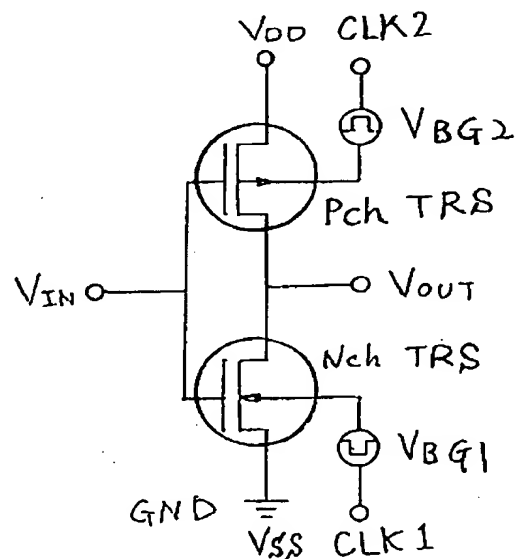
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 C-MOSレベルシフタ

(57)【要約】

【目的】簡潔にレベルシフトができ、集積度の低下も少なく、消費電力の大幅な増大も無いC-MOSレベルシフト回路と構造を提供する。

【構成】C-MOSレベルシフトに関し、(1)C-MOS集積回路のNウェルおよびPウェルに部分的にバックゲート電圧を直流電圧またはパルス電圧で印加すること、および、(2)C-MOS集積回路のNウェルおよびPウェルを基板と分離されて形成すること、などである。Pウェルには負のバックゲート電圧 V_{BG1} をNウェルには正のバックゲート電圧 V_{BG2} をクロック電圧CLK1およびCLK2により印加するか、あるいは直流電圧を印加することにより、このC-MOSインバータのNチャネルMOSFETおよびPチャネルMOSFETのしきい電圧を正または負の方向に大きくすることができ、C-MOS集積回路の中の一部の動作電圧を上げることができる。



【特許請求の範囲】

【請求項 1】 C-MOS 集積回路の N ウェルおよび P ウェルに部分的にバックゲート電圧を直流電圧またはパルス電圧で印加することを特徴とする C-MOS レベルシフタ。

【請求項 2】 C-MOS 集積回路の N ウェルおよび P ウェルが基板と分離されて成ることを特徴とする C-MOS レベルシフタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は C-MOS レベルシフタ回路と構造に関する。

【0002】

【従来の技術】 従来、C-MOS レベルシフタは MOSFET や抵抗あるいはブートストラップに代表されるごとくコンデンサを回路に付加してレベルシフトをさせるのが通例であった。

【0003】

【発明が解決しようとする課題】 しかし、上記従来技術によると MOSFET や抵抗あるいはコンデンサなどを回路に付加するために集積度が低下したり、消費電力が増大するなどの課題があった。

【0004】 本発明はかかる従来技術の課題を解決し、簡潔にレベルシフトができる新しい C-MOS レベルシフタ回路と構造を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記課題を解決し、上記目的を達成するために、本発明は C-MOS レベルシフタに関し、(1) C-MOS 集積回路の N ウェルおよび P ウェルに部分的にバックゲート電圧を直流電圧またはパルス電圧で印加する手段を取ること、および、(2) C-MOS 集積回路の N ウェルおよび P ウェルを基板と分離されて形成する手段を取ること、などの手段を取る。

【0006】

【実施例】 以下、実施例により本発明を詳述する。

【0007】 図 1 は本発明の一実施例を示す要部の回路図である。すなわち、C-MOS 集積回路の基本回路としてのインバータ回路において、N チャネル MOSFET である Nch TRS と P チャネル MOSFET である Pch TRS とが直列に結合されて成り、電源電圧 V_{DD} と基板電圧 V_{SS} (通常接地電圧 GND) との間に使用電圧が印加され、共通ゲートに入力電圧 V_{IN} が印加されると、出力電圧 V_{OUT} が出力される際に、N チャネル MOSFET である Nch TRS の P ウェルと P チャネル MOSFET である Pch TRS の N ウェルと半導体基板とが各々互いに電氣的に PN 接合分離あるいは絶縁分離されて成り、P ウェルには負のバックゲート電圧 V_{B01} を N ウェルには正のバックゲート電圧 V_{B02} をクロック電圧 CLK1 および CLK2 により印加するか、

あるいは直流電圧を印加することにより、この C-MOS インバータの N チャネル MOSFET である Nch TRS および P チャネル MOSFET である Pch TRS のしきい電圧を正または負の方向に大きくすることができ、C-MOS 集積回路の中の一部の動作電圧を上げることができる。しきい電圧 V_T の上昇は、簡易式では次式により、

$$V_T = V_{T(0)} \pm \gamma (V_{BS})^{1/2}$$

ここに、 $V_{T(0)}$ はバックゲート電圧 V_{BS} が 0 V の時のし

きい電圧であり、 γ はバックゲート電圧係数であり通常 $\gamma = 0.4 \sim 1.2$ である。すなわち、しきい電圧を 0.5 V の 1.5 V 動作 C-MOS 集積回路の一部のみこの回路を用いれば、例えば周辺の入出力回路のバックゲート電圧 V_{BS} を ± 1 V とし $\gamma = 1$ と仮定すれば上式よりしきい電圧 $V_T = 1.5$ V と成り 3 V 動作が可能となり内部は 1.5 V で動作することと成る。さらに、しきい電圧を 1 V の 3 V 動作 C-MOS 集積回路の一部のみこの回路を用いれば、例えば周辺の入出力回路のバックゲート電圧 V_{BS} を ± 1 V としバックゲート電圧係数 $\gamma = 1$ と仮定すれば上式よりしきい電圧 $V_T = 2$ V と成り 5 V 動作が可能となり内部は 3 V で動作することと成る。なお、バックゲート電圧 V_{BS} は直流電圧であっても良いが、パルス状に N チャネル MOSFET である Nch TRS の P ウェルと P チャネル MOSFET である Pch TRS の N ウェルにクロック電圧 CLK1 および CLK2 により同期して印加することにより、クロック電圧 CLK1 および CLK2 を印加した時のみ高電圧駆動され、クロック電圧 CLK1 および CLK2 を印加しない時には低電圧で駆動することもできる。さらに、周辺を低電圧で駆動し、内部を高電圧で駆動するようなこともできる。なお、バックゲート電圧 V_{BS} の印加により MOSFET のソースとドレイン間耐圧 BV_{DS} などの耐圧には余り変化は無く、MOSFET の耐圧は使用電圧に合わせた設計的事項で対処することができる。さらに、バックゲート電圧 V_{BS} の印加により MOSFET の動作速度は遅くなることは無く、電子やホール (正孔) のキャリア移動度が大きく設定されるので、むしろ高速化される。また、バックゲート電圧 V_{BS} の印加をパルスで行なうことにより、バックゲート電圧 V_{BS} の印加時のみ時分割されて P-N 接合の逆方向リーク電流が流れるので、消費電力は低減される。さらに、バックゲート電圧 V_{BS} の印加はウェル部へコンタクト穴を形成して該コンタクト穴からの引出し電極によって行なわれるので、集積度が大幅に低減されるということもない。

【0008】 図 2 は本発明の他の実施例を示す要部の断面図である。すなわち、P 型の Si などの半導体基板 1 には N 型の拡散層 2 が N ウェルを兼ねて部分的に形成され、該 N 型の拡散層 2 内に P ウェル 3 が形成され、該 P ウェル 3 内には N 拡散層から成るソース・ドレイン領域とゲート絶縁膜 4 およびゲート電極 5 から成る N チャ

ネルMOSFETが形成され、前記N型の拡散層2は半導体基板1とP-N接合で電氣的に前記Pウェル3とを分離する作用として働くと共にNウェルとして用いられ、該NウェルにはP拡散層から成るソース・ドレイン領域とゲート絶縁膜4とゲート電極5から成るPチャネルMOSFETが形成され、C-MOS集積回路の基本回路であるC-MOSインバータを構成して成る。なお、図中のP型とN型およびP型とN型とは全く逆転して構成されても良いことは言うまでもない。さて、このC-MOSインバータは半導体基板1が接地電圧GNDに接続され、電源電圧 V_{DD} 、基板電圧 V_{SS} （通常または他部分のC-MOSFETは接地電圧GND）、共通電極からの入力電圧 V_{in} および出力電圧 V_{out} とでインバータとして動作させるわけであるが、ここではPウェル3およびNウェルでもあるN型拡散層2にバックゲート電圧 V_{BG1} および V_{BG2} を印加し、しきい電圧 V_T を変化させて高電圧動作を部分的に可能としたものである。ここでは、バックゲート電圧 V_{BG1} および V_{BG2} を直流電圧で印加した例を示してあるが、前述のごとくクロックあるいはパルス状に印加しても良いことは言うまでもない。なお、前述と同じくしきい電圧を0.5Vの1.5V動作C-MOS集積回路の一部のみこの回路を用いれば、例えば周辺の入出力回路のバックゲート電圧 V_{BG} を $\pm 1V$ としバックゲート電圧係数 $\gamma = 1$ と仮定すれば前式よりしきい電圧 $V_T = 1.5V$ と成り3V動作が可能となり内部は1.5Vで動作することと成る。さらに、しきい電圧を1Vの3V動作C-MOS集積回路の一部のみこの回路を用いれば、例えば周辺の入出力回路のバックゲート電圧 V_{BG} を $\pm 1V$ とし $\gamma = 1$ と仮定すれば上式よりしきい電圧 $V_T = 2V$ と成り5V動作が可能となり内部は3Vで動作することと成る。さらに、バックゲート電圧 V_{BG} は直流電圧であっても良いが、パルス状にNチャネルMOSFETであるNchTRSのPウェルとPチャネルMOSFETであるPchTRSのNウェルにクロック電圧CLK1およびCLK2により同期して印加することにより、クロック電圧CLK1およびCLK2を印加した時のみ高電圧駆動され、クロック電圧CLK1およびCLK2を印加しない時には低電圧で駆動することもできる。さらに、周辺を低電圧で駆動し、内部を高電圧で駆動するようなこともできる。さらに、バックゲート電圧 V_{BG} の印加により空乏層がほんの僅か延びるがMOSFETのソースとドレイン間耐圧 BV_{DS} などの耐圧には余り変化は無く、MOSFETの耐圧は使用電圧に合わせた設計的事項で対処することができる。さらに、バックゲート電圧 V_{BG} の印加によりMOSFETの動作速度は遅くなることは無く、電子やホール（正孔）のキャリア移動度が大きく設定されるので、むしろ高速化される。また、バックゲート電圧 V_{BG} の印加をパルスで行なうことにより、バックゲート電圧 V_{BG} の印加時のみ時分割されてP-N接合の逆方向リーク電流

が流れるので、消費電力は低減される。さらに、バックゲート電圧 V_{BG} の印加はウェル部へコンタクト穴を形成して該コンタクト穴からの引出し電極によって行なわれるので、集積度が大幅に低減されるということもない。なお、図2の例では他のC-MOSFETはP型またはN型基板に通常のC-MOSFETの構造であって良く、この図は半導体基板1とC-MOSFETとを完全に電氣的にP-N接合や絶縁体で分離する必要のあるレベルシフト部のみに採用される構造である。

【0009】図3は、本発明のその他の実施例を示す要部のブロック回路図である。すなわち、インバータなどから成るゲートGATEへの信号の入力電圧 V_{in} は比較器COMPへも入力し、該比較器COMPにより高電圧入力信号と低電圧入力信号を分離して高電圧入力信号の時のみクロック発生器CLKGに信号を入力して、該クロック発生器によりゲートGATEへのバックゲート電圧を発生してクロックCLK1およびCLK2を入力電圧 V_{in} が高電圧の時のみゲートGATEに供給して出力電圧 V_{out} を高電圧で出力し、入力電圧 V_{in} が低電圧の時は出力電圧 V_{out} を低電圧で出力することができる。なお、クロック発生器CLKGから駆動能力の大きいクロックを発生させて電源電圧として供給して電源電圧を変化させることもできる。このように、ゲートGATEへの入力電圧の変化に応じてしきい値電圧や電源電圧を変化させることによりレベルシフトの動作電流を低減することができる効果がある。

【0010】図4は、本発明のその他の実施例を示す要部の電圧Vおよび時間tによるタイムチャートである。すなわち、入力電圧 V_{in} にたとえば3Vの低電圧信号と5Vの高電圧信号が入力した場合に、高電圧信号が入力した時のみPウェルに逆バイアス-1Vを印可するクロックCLK1とNウェルに逆バイアス+1Vを印可するクロックCLK2を発生させ印可してCMOSゲートのしきい値を上げることができ、消費電力を減少することができる。さらに、電源電圧を一定にしておいても良いが、入力電圧 V_{in} にたとえば3Vの低電圧信号と5Vの高電圧信号が入力した時に電源電圧を3Vの低電圧信号と5Vの高電圧信号を印可するなどしても出力電圧 V_{out} として反転した低電圧信号と高電圧信号を得ることができる。なお、低電圧信号の電圧を1.5Vとし高電圧信号の電圧を3Vとしても良いことは言うまでもない。

【0011】

【発明の効果】本発明により集積度の低下も少なく、消費電力の大幅な増大も無いC-MOSレベルシフトを提供することができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す要部の回路図である。

【図2】本発明の他の実施例を示す要部の断面図である。

5

【図3】本発明のその他の実施例を示す要部のブロック回路図である。

【図4】本発明のその他の実施例を示す要部のタイムチャートである。

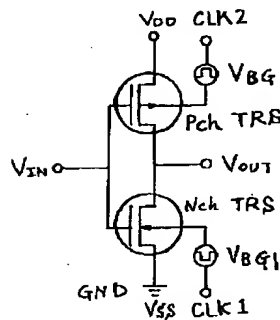
【符号の説明】

1 半導体基板
2 拡散層およびウェル
3 ウェル
4 ゲート絶縁膜
5 ゲート電極
 V_{DD} 電源電圧
 V_{SS} 基板電圧
 V_{IN} 入力電圧
 V_{OUT} 出力電圧
GND 接地電圧
CLK1, CLK2 クロック

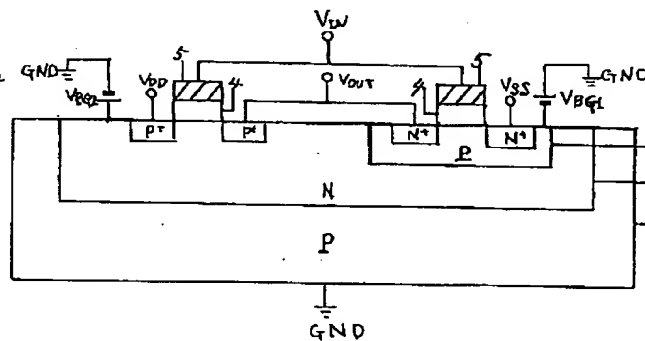
6

* V_{BG1} , V_{BG2} バックゲート電圧
P P型半導体
N N型半導体
P' 高濃度P型拡散層 (PチャンネルMOSFETのソース・ドレイン拡散層)
N' 高濃度N型拡散層 (nチャンネルMOSFETのソース・ドレイン拡散層)
Nch TRS NチャンネルMOS型電界効果トランジスタ
10 Pch TRS PチャンネルMOS型電界効果トランジスタ
CLKG クロック発生器
COMP 比較器
t 時間
V 電圧
* GATE ゲート

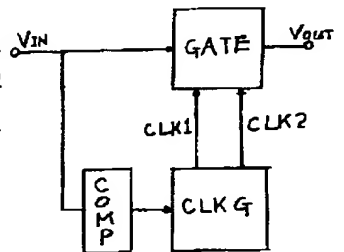
【図1】



【図2】



【図3】



【図4】

